

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Chosaku NODA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: DATA CONVERSION APPARATUS AND DATA CONVERSION METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2002-382261

December 27, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0350851-1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年12月27日

出 願 番 号
Application Number:

特願2002-382261

[ST.10/C]:

[JP 2002-382261]

出 願 人
Applicant(s):

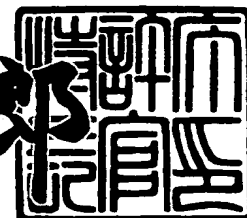
株式会社東芝

BEST AVAILABLE COPY

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045123

【書類名】 特許願

【整理番号】 A000205686

【提出日】 平成14年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 7/00

【発明の名称】 データ変換装置及びデータ変換方法

【請求項の数】 6

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横
 浜事業所内

 【氏名】 能弾 長作

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横
 浜事業所内

 【氏名】 安東 秀夫

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ変換装置及びデータ変換方法

【特許請求の範囲】

【請求項 1】 所定の 4 ビットデータを 6 ビットデータに変換する第 1 及び第 2 の変換テーブルを記憶する記憶手段と、

前記記憶手段により記憶された前記第 1 及び第 2 の変換テーブルのどちらか一方の変換テーブルにより所定の 4 ビットデータを 6 ビットデータに変換する変換手段とを備え、

前記第 1 及び第 2 の変換テーブルは、夫々が、16 通り存在する 4 ビットデータを 16 通りの 6 ビットデータに変換するための 16 個の 6 ビット変換コードを含み、

前記第 1 及び第 2 の変換テーブルの前記 6 ビット変換コードは、4 ビットデータをビット “1” と “1” との間のビット “0” の最小連続個数 1 を許容した 6 ビットデータに変換するコードであり、

前記第 1 及び第 2 の変換テーブルの全ての 6 ビット変換コードのうちの、少なくとも一つの 6 ビット変換コードの最後尾のコードは、DC 抑圧のための反転ビットであり、

前記反転ビットは、所定の条件に応じて “0” 及び “1” のどちらかを選択する、

ことを特徴とするデータ変換装置。

【請求項 2】 前記記憶手段に記憶される前記第 1 及び第 2 の変換テーブルは、6 ビット変換コード毎に次のデータ変換に使用する変換テーブルを指定するための情報を含むことを特徴とする請求項 1 に記載のデータ変換装置。

【請求項 3】 m ビットデータを n ビットデータに変換する変換テーブルを記憶する記憶手段と、

前記記憶手段により記憶された前記変換テーブルにより m ビットデータを n ビットデータに変換する変換手段とを備え、

前記変換テーブルは、m ビットデータを n ビットデータに変換するための複数個のビット変換コードを含み、

前記ビット変換コードは、 m ビットデータをビット“1”と“1”との間のビット“0”の最小連続個数 d を許容した n ビットデータに変換するコードであり

少なくとも一つのビット変換コードの最後尾のコードは、DC抑圧のための反転ビットであり、

前記反転ビットは、所定の条件に応じて“0”及び“1”のどちらかを選択する、

ことを特徴とするデータ変換装置。

【請求項4】 所定の4ビットデータを6ビットデータに変換するデータ変換方法であって、

第1及び第2の変換テーブルのどちらか一方の変換テーブルにより所定の4ビットデータを6ビットデータに変換し、

前記第1及び第2の変換テーブルは、夫々が、16通り存在する4ビットデータを16通りの6ビットデータに変換するための16個の6ビット変換コードを含み、

前記第1及び第2の変換テーブルの前記6ビット変換コードは、4ビットデータをビット“1”と“1”との間のビット“0”の最小連続個数1を許容した6ビットデータに変換するコードであり、

前記第1及び第2の変換テーブルの全ての6ビット変換コードのうちの、少なくとも一つの6ビット変換コードの最後尾のコードは、DC抑圧のための反転ビットであり、

前記反転ビットは、所定の条件に応じて“0”及び“1”のどちらかを選択する、

ことを特徴とするデータ変換方法。

【請求項5】 前記第1及び第2の変換テーブルは、6ビット変換コード毎に次のデータ変換に使用する変換テーブルを指定するための情報を含むことを特徴とする請求項4に記載のデータ変換方法。

【請求項6】 m ビットデータを n ビットデータに変換するデータ変換方法であって、

変換テーブルにより m ビットデータを n ビットデータに変換し、

前記変換テーブルは、 m ビットデータを n ビットデータに変換するための複数個のビット変換コードを含み、

前記ビット変換コードは、 m ビットデータをビット “1” と “1” との間のビット “0” の最小連続個数 d を許容した n ビットデータに変換するコードであり

少なくとも一つの前記ビット変換コードの最後尾のコードは、DC 抑圧のための反転ビットであり、

前記反転ビットは、所定の条件に応じて “0” 及び “1” のどちらかを選択する、

ことを特徴とするデータ変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、 m ビットのデータを n ビットのデータに変換するデータ変換装置及びデータ変換方法に関する。

【0002】

【従来の技術】

一般に、光ディスクに記録されるバイナリーデータは、DC 成分が抑圧されたコードに変換（変調）されている。この変換後（変調後）のコード列において “0” が連続して繰り返される最小回数を d 、最大回数を k の組で表し、変調に用いられるコードを (d, k) コードと呼んでいる。

【0003】

現行の DVD (Digital Versatile Disk) においては、変調に $(2, 10)$ コードが採用されている。近年、光ディスクからのデータ再生技術が向上し、PRML (Partial Response Maximum Likelihood) 技術を採用することで高密度化に適した “ $d = 1$ ” の変調コードの採用が検討されるようになって来た。

【0004】

例えば、上記した “ $d = 1$ ” の変調コードの採用に加えて、変換後のコードの

最後尾にDC抑圧用反転ビットを持たせる技術が知られている（特許文献1）。

【0005】

また、上記した“ $d = 1$ ”の変調コードを採用し、4ビットを6ビットに変換する技術も知られている（特許文献2）。

【0006】

【特許文献1】

特開2000-105981

【0007】

【特許文献2】

特開2000-332613

【0008】

【発明が解決しようとする課題】

しかしながら、上記特許文献1に開示された技術では、8ビットを12チャンネルビットに変換するため、変換パターンが2の8乗である256種類以上必要とされる。その結果、変換テーブルのサイズが大きくなり変復調処理（変換処理）が複雑になると言う問題が生じる。

【0009】

また、上記特許文献2に開示された技術では、4ビットを6チャンネルビットに変換するため変換パターンが2の4乗である16種類程度ですむ。その結果、変換テーブルのサイズは小さいが、変換テーブルとして4ステート必要であるため、変復調処理が複雑であると言う問題は解決されない。

【0010】

この発明の目的は、変換後のデータ列中の“0”の最小連続回数1を許容する変換であって変換処理を単純化することが可能なデータ変換装置及びデータ変換方法を提供することにある。

【0011】

【課題を解決するための手段】

上記課題を解決し目的を達成するために、この発明のデータ変換装置及びデータ変換方法は、以下のように構成されている。

【0012】

(1) この発明は、所定の4ビットデータを6ビットデータに変換するデータ変換装置であって、所定の4ビットデータを6ビットデータに変換する第1及び第2の変換テーブルを記憶する記憶手段と、前記記憶手段により記憶された前記第1及び第2の変換テーブルのどちらか一方の変換テーブルにより所定の4ビットデータを6ビットデータに変換する変換手段とを備え、前記第1及び第2の変換テーブルは、夫々が、16通り存在する4ビットデータを16通りの6ビットデータに変換するための16個の6ビット変換コードを含み、前記第1及び第2の変換テーブルの前記6ビット変換コードは、4ビットデータをビット“1”と“1”との間のビット“0”の最小連続個数1を許容した6ビットデータに変換するコードであり、前記第1及び第2の変換テーブルの全ての6ビット変換コードのうちの、少なくとも一つの6ビット変換コードの最後尾のコードは、DC抑圧のための反転ビットであり、前記反転ビットは、所定の条件に応じて“0”及び“1”のどちらかを選択する。

【0013】

(2) この発明は、所定の4ビットデータを6ビットデータに変換するデータ変換方法であって、第1及び第2の変換テーブルのどちらか一方の変換テーブルにより所定の4ビットデータを6ビットデータに変換し、前記第1及び第2の変換テーブルは、夫々が、16通り存在する4ビットデータを16通りの6ビットデータに変換するための16個の6ビット変換コードを含み、前記第1及び第2の変換テーブルの前記6ビット変換コードは、4ビットデータをビット“1”と“1”との間のビット“0”の最小連続個数1を許容した6ビットデータに変換するコードであり、前記第1及び第2の変換テーブルの全ての6ビット変換コードのうちの、少なくとも一つの6ビット変換コードの最後尾のコードは、DC抑圧のための反転ビットであり、前記反転ビットは、所定の条件に応じて“0”及び“1”のどちらかを選択する。

【0014】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【 0 0 1 5 】

図 1 は、この発明のデータ変換装置及びデータ変換方法によるデータ変換に使用される変換テーブルの一例を示す図である。即ち、この発明のデータ変換方法及びデータ変換装置は、ビット“1”と“1”との間のビット“0”の最小連続個数 1 を許容し ($d = 1$)、4 ビットを 6 ビットに変換する固定長ブロックコードを含む変換テーブルを二つ (2 ステート) 使用し、4 ビットデータを 6 ビットデータに変換する。変換後のコードの内、少なくとも 1 コードの最後尾は、DC 抑圧用反転ビット*を有する。また、図 1 に示した変換コードは、ビット“1”と“1”との間のビット“0”の最小連続個数 $k = 8$ から構成できる。

【 0 0 1 6 】

図 1 に示す変換テーブルにより、4 ビットデータを 6 ビットデータに変換することにより、この発明のデータ変換方法及びデータ変換装置は、以下の作用効果を得ることができる。

【 0 0 1 7 】

(1) 固定長ブロックコード方式を採用し、変調復調処理の簡素化を図ることができる。

【 0 0 1 8 】

(2) 固定長ブロックコードにおける変換単位を、4 ビット→6 チャンネルビットと小さく設定し、更に変換後の状態を 2 ステートのみにする事で変換テーブルの縮小化を実現し、変調復調処理の簡略化を図ることができる。

【 0 0 1 9 】

(3) 一部の交換コードの最終チャンネルビットに、“反転ビット*”を設定し、この“反転ビット*”のビットを制御する事により (“反転ビット*” = “0”又は“1”とする) 比較的簡単に DC 制御を行うことが可能となる。

【 0 0 2 0 】

(4) 変換後の特定パターンに対してパターン置換処理を施すことで変換後コード中の 2 T 繰り返し頻度を制限することが可能となる。

【 0 0 2 1 】

図 1 は、“4-6 変換”の変換テーブルの一例を示す図である。変換前の 4 ビ

ットデータは16通りのパターンが存在し得る。この16通りのパターンに対して2種類の変換状態（STATE）が存在する。それぞれの変換コードには次のSTATE番号が割り振られており、次に来るデータに対する変換はどちらの状態（STATE）を選択するかを指定する構造になっている。

【0022】

変換コードの最終チャンネルビットの一部には、“反転ビット*”が設定されている。この“反転ビット*”の値は変換後のチャンネルビットデータ列に対するDSV（Digital Sum Value）値が“0”に近づくように選択される。この方法により本発明ではDC制御が可能となる（詳細は後述する）。また“反転ビット*”は、常に変換後のコードの最終チャンネルビット位置に存在する。常に“反転ビット*”が存在し得る場所が決まっているため、“反転ビット*”の値の確定処理が比較的容易に行える。

【0023】

図1に示す変換テーブルは、以下の特徴を持つ。

【0024】

（A）変換後のコードとして先頭が“0”で、かつ先頭からの“0”が連続するチャンネルビット数が3チャンネルビット以下のコードをグルーピングしてSTATE1としている。

【0025】

（B）上記（A）以外のコード、すなわち先頭が“1”で始まるコードまたは先頭が“0”で始まるが先頭を含めて“0”が連続するチャンネルビット数が4チャンネルビット以上のコードをグルーピングしてSTATE0としている。

【0026】

（C）変換後のコードの最後のチャンネルビットが“1”の時は、必ず次のSTATEはSTATE1を選択させる構造になっている。

【0027】

前述したように本発明では $d = 1$ の条件を満たす変調（変換）方式を前提としている。 $d = 1$ の変換コード（変調方式）では変調（変換）後のコード列として“1”が連続して並ぶ事を禁止しており、“1”と“1”の間には必ず“0

”が1個以上入る変調方式になっている。上記構造では(C)のように変換後コードの最後のチャンネルビットに“1”が来た場合には、(A)に示したように次の変換コードの先頭に必ず“0”が来るSTATE1を選択させる事で自動的に $d=1$ の変換規則を満たすような構造になっている。従って本発明では“1”が連続して並ぶ事を禁止するための新たな仕組みを組み込む事無く、(A)～(C)の特徴を持たせるだけで $d=1$ の変換規則を満たす事が出来る。このため、変換処理の簡素化が可能となる。

【0028】

更に図1に示す変換テーブルは、以下の特徴を持つ。

【0029】

(D) 反転ビットの直前のチャンネルビットが必ず“0”になっている。そのため、仮に反転ビットとして“1”が選択された場合でも、その反転ビットの直前のチャンネルビットを含めて“1”が2回連続して並ぶ事が防止される。従って“1”が連続して並ぶ事を禁止するための新たな仕組みを組み込む事無く、 $d=1$ の変換規則を満たす事が出来る。このため、変換処理の簡素化が可能となる。

【0030】

(E) 反転ビット直前の“0”の連続個数が3個以下の場合には、次はSTATE0を選択させ、“0”の連続個数を増加させる仕組みを組み込んでいる。

【0031】

(F) 反転ビット直前の“0”の連続個数が4個以上の場合にはどちらのSTATEも選べるようになっている。

【0032】

上記(E)、(F)の特徴によりDC制御の効果を向上させることができる。

【0033】

光ディスク上に記録されたデータの中で“2T”が繰り返して記録されている場所は、局所的な記録密度が高いことになる。このため、“2T”が繰り返して記録されている場所から再生される再生信号の振幅は非常に小さく、信号検出エラーが発生し易くなる。信号検出の信頼性を向上させるため、本発明では図2に示すように変調後のチャンネルビット列内での“2T”信号の繰り返し発生頻度を

制限する工夫がなされている。すなわち変換後の特定パターンに対してパターン置換処理を行い、変換後コード中の 2 T 繰り返し頻度を制限する。

【 0 0 3 4 】

図 1 において変換前のデータ “6” に対して STATE 0 を採用する場合、および変換前のデータ “5” に対して STATE 1 を採用した場合には、変換後のデータは “2 T” の繰り返しとなる。図 1 に示す変換テーブルの STATE 0 を採用し、変換前のデータ “6” が 2 回続くデータを変換すると、変換後のコードは “1 0 1 0 1 0 1 0 1 0 1 0” となる。図 1 に示す変換テーブルの STATE 1 を採用し、変換前のデータ “5” が 2 回続くデータを変換すると、変換後のコードは “0 1 0 1 0 1 0 1 0 1 0 1” となる。これらの場合には、変換後の 12 チャンネルビットのコードの中で、“1” が 6 回発生している。このように “1” の発生頻度が多くなるようなケースでは、図 2 に示すように別の変換コードを割り当てる。

【 0 0 3 5 】

つまり、変換前のデータ “6” が 2 回続くデータは、本来 “1 0 1 0 1 0 1 0 1 0 1 0” に変換されるところを、“1 0 0 1 0 0” + “0 0 0 0 0 *” に置換する。しかも、この後の STATE は、STATE 0 を指定する。変換前のデータ “5” が 2 回続くデータは、本来 “0 1 0 1 0 1 0 1 0 1 0 1” に変換されるところを、“0 1 0 1 0 0” + “0 0 0 0 0 *” に置換する。しかも、この後の STATE は、STATE 1 を指定する。

【 0 0 3 6 】

図 1 に示した変換テーブルにおける一部の変換コードの最後尾に存在する DC 抑圧用反転ビット * は、所定の条件に応じて “0” 及び “1” のどちらかを選択する。以下、この選択の手法について説明する。

【 0 0 3 7 】

本発明のデータ変換装置及びデータ変換方法により変換されたデータは、Trace Back 方法により DC 成分が抑圧される。まず、図 3 を参照して、Trace Back DCC 制御方法に関する各種記号を定義する。

【 0 0 3 8 】

1、記号の定義

DCCn : 現在位置 (最新のコード) を基準とした n 個前の DCC コード位置

DSV : 現在位置における DSV 値

POL : 現在位置における反転状態 (反転回数の偶奇)

DSVPn : 現在位置から DCCn+1 までの正の DSV のピーク値

DSVMn : 現在位置から DCCn+1 までの負の DSV のピーク値

DSVS_n : DCCn+1 を基準とした DCCn までの区間の DSV 値

DSVSPn : DCCn+1 を基準とした DCCn までの区間の正の DSV ピーク値

DSVSMn : DCCn+1 を基準とした DCCn までの区間の負の DSV ピーク値

DCCI_n : DCCn の反転 / 非反転の状態

2、区間値の算出方法

区間値は DCC ビットの極性を固定して算出するのが簡単であるが、現在のプログラムでは先読み無しの DCC 処理後の状態を基準として算出している。

【 0 0 3 9 】

DSV の計算は DCC コード (SYNC を含む) では DCC ビット位置、その他のコードでは LSB の位置で行っている。しかし DCC ビットは LSB で固定されているため補正処理は容易に可能。ピーク値のホールドも同じ基準で計算している。

【 0 0 4 0 】

次に図 3 を用いて Trace Back DCC 制御方法の手順の説明を行う。

【 0 0 4 1 】

3、Trace Back DCC 制御方法の手順

(1) DCC0 から DCC2 までの区間の DSV ピーク値 (DSVP1, DSVM1) を求める

DSV と POL を基準として遡るようにピーク計算を行う。つまり、DSVS0, DSVS1, DSVPS0, DSVPS1, DCCI0, DCCI1 から DSVP1 を求める。DSVS0, DSVS1, DSVM0, DSVM1, DCCI0, DCCI1 から DSVM1 を求める。

【 0 0 4 2 】

(2) DCC2 と DCC1 を同時に反転した状態の DSV ピーク値を求める

DCC2 と DCC1 の区間が、区間値を算出した場合と同じ反転状態の場合、DSVP1 と DSVM1 から $2 \times DSVS1$ を引くことによりピーク値を求める。DCC2 と DCC1 の区間が、区

間値を算出した場合と逆の反転状態の場合、DSVP1とDSVM1に $2 \times \text{DSVS1}$ を加えることによりピーク値を求める。

【 0 0 4 3 】

(3) 4 個のDSVピーク値から同時反転処理の実行を判定する
4 個のDSVピーク値の絶対値を計算して比較する。

【 0 0 4 4 】

最も絶対値が大きいピークを排除するように同時反転処理を選択する。

【 0 0 4 5 】

(4) 選択結果に応じてDSV、DCCI1、DCCI2を更新する
(5) 次にDCC0からDCC3までの区間に対してDSVP2とDSVM2を同様に求める
(6) DCC3とDCC2を同時に反転した状態のDSVピーク値と比較する
(7) 同時反転処理の実行を判定する
(8) 選択結果に応じてDSV、DCCI2、DCCI3を更新する
(9) 以下同様に所定のDCCコード数まで計算区間を長くしながら繰り返す
以上の処理をDCCコードまたはSYNCが見つかる毎に実行する。

【 0 0 4 6 】

4、DCC処理の例

上記処理による効果の一例を図4に示す。

【 0 0 4 7 】

図4に示すDSV変化1は、先読みを行わないDCC処理の場合のDSV変化を示している。このDSV変化に対してTrace Back DCC処理を行うと次の動作をする。

【 0 0 4 8 】

(1) DCC2とDCC1の同時反転状態のチェック
同時反転後に正のDSVピークが大きくなるため、同時反転処理は行わない。

【 0 0 4 9 】

(2) DCC3とDCC2の同時反転状態のチェック
DSVピーク値に変化は無いので同時反転処理はどちらでも良い。ここでは同時反転を行わないとする。

【 0 0 5 0 】

(3) DCC4とDCC3の同時反転状態のチェック

同時反転処理を行わない場合の正のDSVピークが最も大きくなる。従ってDCC4とDCC3の同時反転処理を行う。DCC4とDCC3の区間のDSV変化のみ反転する(図4に示すDSV変化2)。DCC3以降のDSVが全体に $2 \times \text{DSVS3}$ だけ負の方向にシフトする(図4に示すDSV変化3)。

【0051】

以上の結果DSVのピーク値が抑圧される。

【0052】

5、回路構成例

図5は、この発明のデータ変換装置の概略構成を示すブロック図である。言い換えると、このデータ変換装置は、Trace Back DCCに必要な回路を備えている。図5に示すように、データ変換装置は、コードテーブル/同期テーブル1、変調/同期挿入処理部2、フレームバッファ3、ビット反転処理部4、NRZI処理部5、区間DSV/区間ピーク算出部6、DCCバッファ7、Trace Back 判定部8を備えている。

【0053】

コードテーブル/同期テーブル1は、図1に示す変換テーブル及び同期コードを記憶する。変調/同期挿入処理部2は、図1に記憶された変換テーブルに基づき入力データを変換(変調)する。つまり、変調/同期挿入処理部2は、入力4ビットデータを6ビットデータに変換し、さらに所定のデータ長毎に同期コードを挿入する。また、コードテーブル/同期テーブル1は、図2に示す“2T”信号の繰り返し発生頻度を制限する情報も記憶されている。この情報により、“2T”信号の繰り返し発生頻度が制限される。

【0054】

フレームバッファ3は、例えば、数個の同期フレームをバッファリングできるものとする。1同期フレームは、同期コードと変換されたデータで構成される。フレームバッファ3に記憶するデータは、仮判定後の1つの系列のみである。フレームバッファ3の容量を節約する場合には、Trace backする区間に最大フレーム数の制限を加えても良い。

【 0 0 5 5 】

区間DSV／区間ピーク算出部6は、上記説明しように区間DSV及び区間ピークを算出する。DCCバッファ7は、DCC位置や反転状態、及び区間値などを記憶する。Trace Back 判定部8は、DCCバッファ7に記憶された情報に基づき、Trace Back 判定を行う。つまり、Trace Back 判定部8は、DCCバッファ7内の各値に対する加減算と絶対値比較を行う。

【 0 0 5 6 】

ビット反転処理部4は、Trace Back 判定部8のTrace back判定結果に応じて、DC抑圧用反転ビット*のビット反転を行う。つまり、DC抑圧用反転ビット*が、“1” or “0”のいずれか一方となる。Trace Back判定後の反転処理には変調テーブルは不要である。

【 0 0 5 7 】

NRZI処理部5は、ビット“1”で出力を反転し、ビット“0”で出力を保持するNRZIパターンを出力する。

【 0 0 5 8 】

図6は、この発明のデータ変換方法により変換されたデータにおけるランの発生頻度を説明するための図である。図6に示すように、発生頻度は最も2Tが高く、3Tが続いている。図6に示す発生頻度の分布は、図2に示した2Tの繰り返し制御後の結果である。この制御を行った結果、2Tの占有率（22.5%）が、3Tの占有率（22.1%）に近づくように下がっている。

【 0 0 5 9 】

図7は、この発明のデータ変換方法により変換されたデータにおける細密パターン（2T）の繰り返し回数の評価結果を示す図である。図2に示した2Tの繰り返しの制御を行った結果、1回の2T繰り返し発生頻度（60.4%）に比べて2Tの2回の繰り返し発生頻度（24.5%）が大幅に低下していることが分かる。

【 0 0 6 0 】

図8及び図9は、この発明のデータ変換方法により変換されたデータのDSV特性評価結果を示す図である。上述した Trace Back DCC 制御を行うことで分散

が小さい状態で $DSV=0$ に収れんしている事が分かる。

【0061】

以上説明したように、この発明は、 $d=1$ の変調方法を採用し、以下の作用効果が得られる。

【0062】

(1) 変換テーブルの簡素化を図り（変換テーブルのサイズを小さくし）、変換処理を容易にできる。しかも、変換テーブルが簡素なので、高速変換が可能となる。

【0063】

(2) 簡単な方法でDC制御を可能にできる。よって、高精度な再生が可能となる。

【0064】

(3) 2Tの繰り返し頻度を制限し、再生信号検出の安定化を図ることができ。よって、高精度な再生が可能となる。

【0065】

なお、本願発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、各実施形態は可能な限り適宜組み合わせて実施してもよく、その場合組み合わせた効果が得られる。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適当な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0066】

【発明の効果】

この発明によれば、変換後のデータ列中の“0”の最小連続回数1を許容する変換であって変換処理を単純化することが可能なデータ変換方法及びデータ変換装置を提供できる。

【図面の簡単な説明】

【図 1】 この発明のデータ変換方法及びデータ変換装置によるデータ変換に使用されるデータ変換テーブルの一例を示す図である。

【図 2】 この発明のデータ変換方法及びデータ変換装置によるデータ変換時の特例の制御を説明するための図である。

【図 3】 この発明に適用されるTrace Back DCC 制御に関する各種記号を説明するための図である。

【図 4】 この発明に適用されるTrace Back DCC 制御による効果を説明するための図である。

【図 5】 この発明のデータ変換装置の一例を示す概略ブロック図である。

【図 6】 この発明のデータ変換方法及びデータ変換装置により変換されたデータにおけるランの発生頻度を説明するための図である。

【図 7】 この発明のデータ変換方法及びデータ変換装置により変換されたデータにおける細密パターン（2 T）の繰り返し回数の評価結果を示す図である。

【図 8】 この発明のデータ変換方法及びデータ変換装置により変換されたデータのDSV特性評価結果を示す図である。

【図 9】 図 8 のDSV特性評価結果をまとめた図である。

【符号の説明】

1 …コードテーブル／同期テーブル、 2 …変調／同期挿入処理部、 3 …フレームバッファ、 4 …ビット反転処理部、 5 …NRZI処理部、 6 …区間DSV／区間ピーク算出部、 7 …DCCバッファ、 8 … Trace Back 判定部

【書類名】 図面

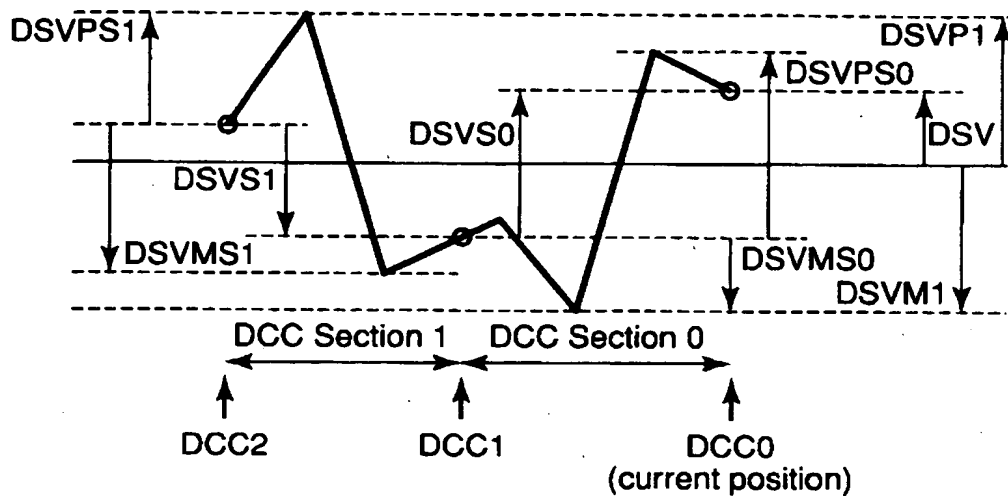
【図 1】

data	STATE 0			STATE 1	
	code	next		code	next
0	10100*	0		00100*	0
1	101000	1		001000	1
2	101001	1		001001	1
3	10010*	0		01010*	0
4	100100	1		010100	1
5	100101	1		010101	1
6	101010	0		00010*	0
7	101010	1		000100	1
8	100010	0		000101	1
9	100010	1		01000*	0
10	10000*	0		010000	1
11	10000*	1		010001	1
12	000010	0		001010	0
13	000010	1		001010	1
14	00000*	0		010010	0
15	00000*	1		010010	1

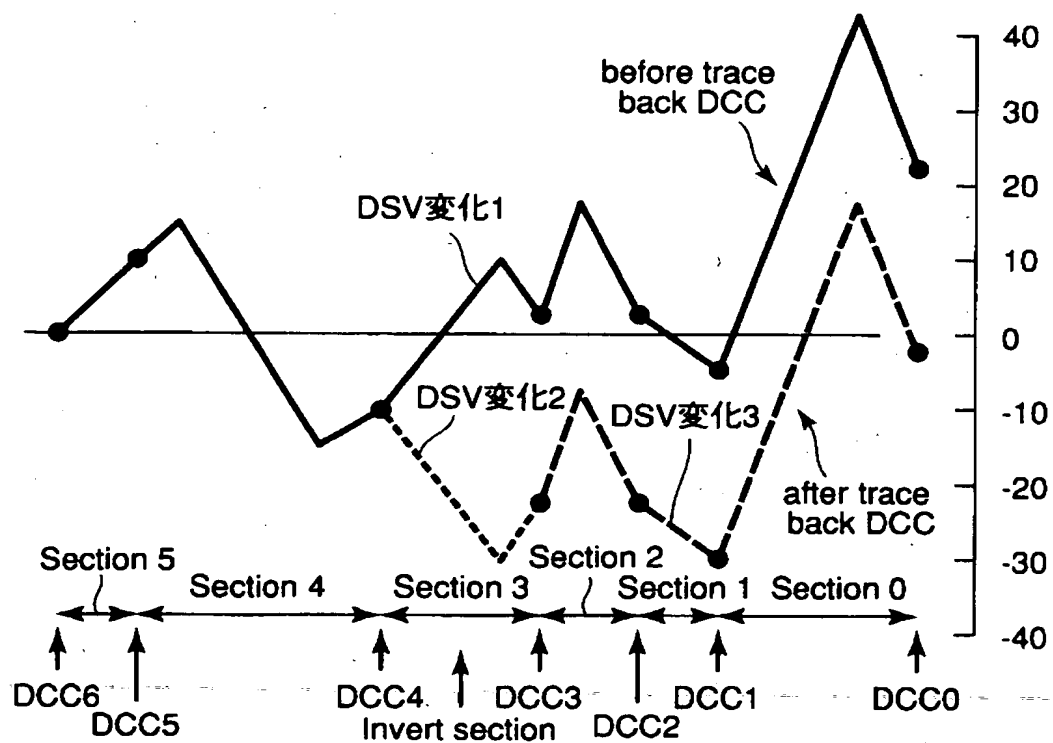
【図 2】

変換状態	2T繰り返し制限方法
“10*” (末尾) + “00000*” のつながり	*は必ず“1”とする
STATE0の6が2回連続する	“100100” “00000*” を割り当て、 次STATEはSTATE0
STATE1の5が2回連続する	“010100” “00000*” を割り当て、 次STATEはSTATE1

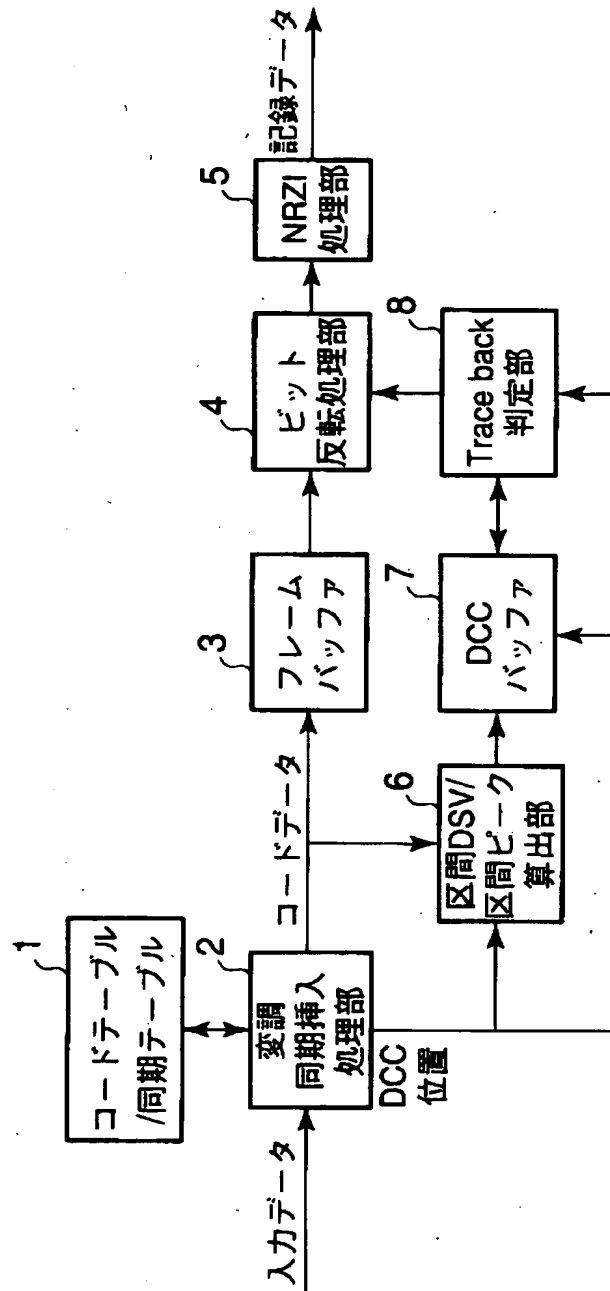
【図 3】



【図 4】



【図 5】



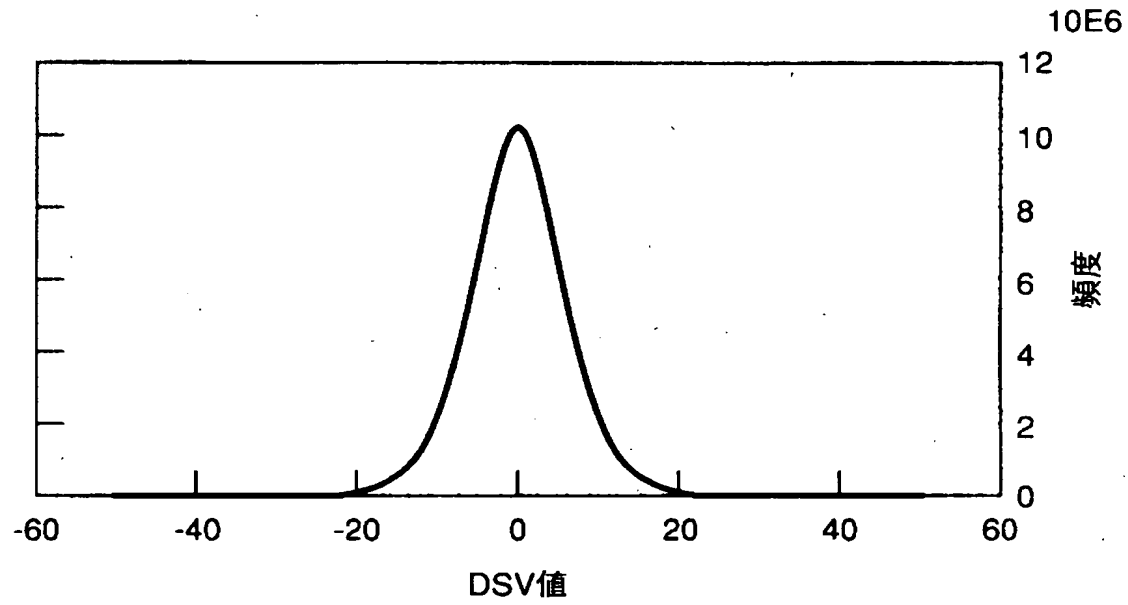
【図6】

ラン長	発生回数	占有量	発生頻度	占有率
1T	0	0	0.0%	0.0%
2T	16441037	32882074	38.4%	22.5%
3T	10779337	32338011	25.1%	22.1%
4T	6926478	27705912	16.2%	18.9%
5T	3741146	18705730	8.7%	12.8%
6T	2520047	15120282	5.9%	10.3%
7T	1265335	8857345	3.0%	6.1%
8T	644226	5153808	1.5%	3.5%
9T	286904	2582136	0.7%	1.8%
10T	132286	1322860	0.3%	0.9%
11T	0	0	0.0%	0.0%
12T	131040	1572480	0.3%	1.1%
13T	0	0	0.0%	0.0%
TOTAL	42867836	146240638	100.0%	100.0%

【図 7】

ラン長	発生回数	占有量	発生頻度	占有率
1回	6130332	6130332	60.4%	37.3%
2回	2487589	4975178	24.5%	30.3%
3回	975148	2925444	9.6%	17.8%
4回	387184	1548736	3.8%	9.4%
5回	128157	640785	1.3%	3.9%
6回	31425	188550	0.3%	1.1%
7回	4548	31836	0.0%	0.2%
8回	22	176	0.0%	0.0%
9回	0	0	0.0%	0.0%
10回	0	0	0.0%	0.0%
TOTAL	10144405	16441037	100.0%	100.0%

【図 8】



【図 9】

最小値	最大値	平均値	分散
-45	49	-0.037	37.64

【書類名】 要約書

【要約】

【課題】変換後のデータ列中の“0”の最小連続回数1を許容する変換であって変換処理を単純化することが可能なデータ変換方法を提供すること。

【解決手段】第1及び第2の変換テーブル（STATE1、STATE2）のどちらか一方の変換テーブルにより、所定の4ビットデータを6ビットデータに変換する。これらテーブルは、ビット“1”と“1”との間のビット“0”の最小連続個数1を許容する6ビットデータに変換する。これらテーブルの中の変換コードのうちの少なくとも一つの変換コードの最後尾のコードは、DC抑圧のための反転ビット（*）である。反転ビットは、条件に応じて、“1”又は“0”を選択する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝